

## INTRA-MEMORY INFORMATION UPDATING METHOD

**Publication number:** JP10240629 (A)

**Publication date:** 1998-09-11

**Inventor(s):** UCHIYAMA KENJIRO

**Applicant(s):** MITSUBISHI ELECTRIC CORP

**Classification:**

- **international:** G06F12/16; G06F12/16; (IPC1-7): G06F12/16; G06F12/16

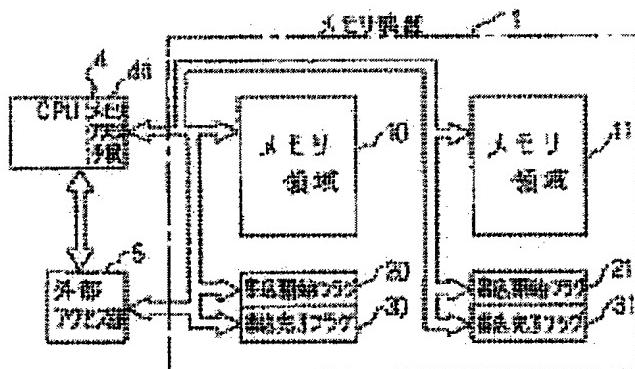
- **European:**

**Application number:** JP19970044159 19970227

**Priority number(s):** JP19970044159 19970227

### Abstract of JP 10240629 (A)

**PROBLEM TO BE SOLVED:** To simplify a comparison and verification processing for confirming that write to a memory area is normally completed, to shorten processing time required for the reproduction of the information of the memory area and to reduce the loads on the CPU or the like for processing. **SOLUTION:** The write state of the memory area 10 is checked by a write start flag 20 and a write completion flag 30 and the write state of the memory area 11 is checked by the write start flag 21 and the write completion flag 31. For instance, in the case that the values of the write start flag 20 and the write completion flag 30 are different and the memory area 19 is abnormal, the normal memory area 11 for which the values of the write start flag 21 and the write completing flag 31 are the same is accessed.



Data supplied from the **esp@cenet** database — Worldwide

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-240629

(43)公開日 平成10年(1998)9月11日

(51)Int.Cl.<sup>6</sup>  
G 0 6 F 12/16

識別記号  
3 1 0  
3 4 0

F I  
G 0 6 F 12/16

3 1 0 J  
3 4 0 P

審査請求 未請求 請求項の数4 O.L (全10頁)

(21)出願番号 特願平9-44159

(22)出願日 平成9年(1997)2月27日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 内山 健次郎

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

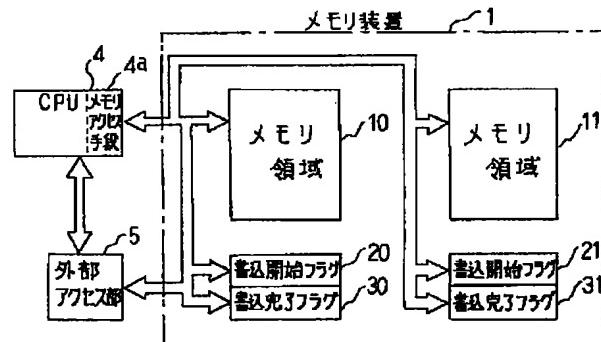
(74)代理人 弁理士 宮園 純一

(54)【発明の名称】 メモリ内情報更新方法

(57)【要約】

【課題】 メモリ領域への書き込みが正常に完了したことの確認をするための比較検証処理を簡易化し、メモリ領域の情報の再生かかる処理時間の短縮及び処理に対するCPU等の負荷を低減させる。

【解決手段】 メモリ領域10の書き込み状態は書込開始フラグ20と書込完了フラグ30によりチェックされ、メモリ領域11の書き込み状態は書込開始フラグ21と書込完了フラグ31によりチェックされる。例えば、書込開始フラグ20と書込完了フラグ30の値が異なり、メモリ領域10が異常な場合は、書込開始フラグ21と書込完了フラグ31の値が同一で、正常なメモリ領域11がアクセスされる。



**【特許請求の範囲】**

**【請求項1】** 情報の読み込み、消去、書き込みが可能で、かつバックアップ機能を持った第1のメモリ領域及び第2のメモリ領域の情報を更新するためのメモリ内情報更新方法において、上記第1のメモリ領域に対する書き込み開始を示す第1の書込開始フラグ及び書き込み完了を示す第1の書込完了フラグと、上記第2のメモリ領域に対する書き込み開始を示す第2の書込開始フラグ及び書き込み完了を示す第2の書込完了フラグとを設け、上記第1の書込開始フラグと上記第1の書込完了フラグとの比較により上記第1のメモリ領域の書き込み状態をチェックし、また、上記第2の書込開始フラグと上記第2の書込完了フラグとの比較により上記第2のメモリ領域の書き込み状態をチェックし、上記両メモリ領域の一方の書き込み状態が異常な場合は他方の正常なメモリ領域をマスターのメモリ領域としてアクセスするようにしたことを特徴とするメモリ内情報更新方法。

**【請求項2】** 情報の読み込み、消去、書き込みが可能で、かつバックアップ機能を持った第1のメモリ領域及び第2のメモリ領域の情報を更新するためのメモリ内情報更新方法において、上記第1のメモリ領域を複数の情報単位毎に分割し、上記情報単位毎に書き込み完了を示す第1の書込完了フラグ群を設け、また、上記第2のメモリ領域を複数の情報単位毎に分割し、上記情報単位毎に書き込み完了を示す第2の書込完了フラグ群を設け、一方のメモリ領域への書き込みの最中に書き込み処理が中断した場合、当該書込完了フラグ群により書き込み完了の情報を判定し、それ以外の未書き込み情報に対応する書き込み完了フラグが示す他方のメモリ領域の情報を相当する情報を上記一方のメモリ領域の未書き込み領域に付加するようにしたことを特徴とするメモリ内情報更新方法。

**【請求項3】** 第1の書込完了フラグ群及び第2の書込完了フラグ群を、どの情報単位まで書き込み完了したかを示す更新カウンタで実現することを特徴とする請求項2記載のメモリ内情報更新方法。

**【請求項4】** メモリ領域への書き込みをランダム的なアドレス順に従って行うことを特徴とする請求項1又は2記載のメモリ内情報更新方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、データ処理装置に備えられるメモリ装置のメモリ領域内の情報を更新するためのメモリ内情報更新方法に関するものである。

**【0002】**

【従来の技術】メモリ装置への情報の更新においては、予期せぬ電源遮断等によって書き込み処理が中断した場合、当該情報は中途半端な情報となるため当該情報を廃棄する等の処理が必要になる。図11は例えば特表平6-506547号公報に示された従来のメモリ内情報更新方

法における各段階の処理を示すフローチャートである。

【0003】次に、この従来のメモリ内情報更新方法の動作について図11を参照して説明する。元の情報D0が第1のメモリロケーションE0に書き込まれているような場合の情報の更新方法において、第1段階として、新しい値D1を別のメモリロケーションE1に書き込み、この書き込み操作を論理インジケータと関連付け、この論理インジケータは最初第1の論理状態にあって書き込み操作中はその状態に保持しており、第2段階で、書き込むされた新しい値の検証を行って、この値が書き込みを指示された値と一致した場合はこの値が保護され、不一致の場合にエラーコードが出され、最終段階で、更新の終了によって論理インジケータを第2の論理状態へ変更し、更新されたデータが読み取りモード内でアクセス可能となる。

**【0004】**

【発明が解決しようとする課題】しかしながら、上記に示した従来のメモリ内情報更新方法は、新しい値の書き込みが完了する毎に書き込まれた新しい値を読み取り、その新しい値が正しい値であるかどうかを比較検証している。そのため、例えば人が介在してデータの正誤性を確認できる場合は、この人による正誤性の確認とメモリ装置自体の比較検証による確認とが併せて行われる。したがって、このような確認のための同様の処理が2回発生することになり、必要でない同様の処理が繰り返し行われることになり、これにより、処理時間が増え、プログラムが複雑になるという問題点があった。

【0005】この発明は上記のような課題を解決するためになされたものであり、電源遮断等が発生しても情報を完全な形で保証できるようにすると共に、メモリ領域への書き込みが正常に完了したことの確認をするための比較検証処理を簡易化し、メモリ領域の情報の修復にかかる処理時間の短縮及び処理に対するCPU等の負荷を低減させることができるメモリ内情報更新方法を提供することを目的とする。

【0006】また、連続して送られ、かつ直前に送られた情報との変化量が小さいような静止画像情報等においては電源遮断等によって書き込みが中断しても情報の修復を効率良く得ることができるメモリ内情報更新方法を提供することを目的とする。

【0007】また、書き込み完了を示すために使用するメモリ領域を減らすことができるメモリ内情報更新方法を提供することを目的とする。

【0008】また、電源遮断等によって書き込みが中断しても、全体的な大まかな情報を得ることができるメモリ内情報更新方法を提供することを目的とする。

**【0009】**

【課題を解決するための手段】第1の発明は、上記第1のメモリ領域10に対する書き込み開始を示す第1の書込開始フラグ20及び書き込み完了を示す第1の書込完

了フラグ30と、第2のメモリ領域11に対する書き込み開始を示す第2の書込開始フラグ21及び書き込み完了を示す第2の書込完了フラグ31とを設け、上記第1の書込開始フラグ20と上記第1の書込完了フラグ30との比較により上記第1のメモリ領域10の書き込み状態をチェックし、また、上記第2の書込開始フラグ21と上記第2の書込完了フラグ31との比較により第2のメモリ領域11の書き込み状態をチェックし、上記両メモリ領域10, 11の一方の書き込み状態が異常な場合は他方の正常なメモリ領域をマスターのメモリ領域としてアクセスするようにしたことを特徴とするものである。

【0010】第2の発明は、第1のメモリ領域を複数の情報単位毎に書き込み完了を示す第1の書込完了フラグ群を設け、また、上記第2のメモリ領域を複数の情報単位毎に分割し、上記情報単位毎に書き込み完了を示す第2の書込完了フラグ群を設け、一方のメモリ領域への書き込みの最中に書き込み処理が中断した場合、当該書込完了フラグ群により書き込み完了の情報を判定し、それ以外の未書き込み情報に対応する書込完了フラグが示す他方のメモリ領域の情報に相当する情報を上記一方のメモリ領域の未書き込み領域に付加するようにしたことを特徴とするものである。

【0011】第3の発明は、第1の書込完了フラグ群及び第2の書込完了フラグ群を、どの情報単位まで書き込み完了したかを示す更新カウンタ32, 33で実現することを特徴とするものである。

【0012】第4の発明は、メモリ領域10への書き込みをランダム的なアドレス順に従って行うことを特徴とするものである。

【0013】

#### 【発明の実施の形態】

実施の形態1. 以下、この発明の実施の形態1を図に基づいて説明する。図1はこの発明の実施の形態1に係るメモリ内情報更新方法を示すブロックである。図1において、10は読み込み、消去、書き込みが自由に行え、かつバックアップ機能を持った不揮発性の第1のメモリ領域であり、11は同じく読み込み、消去、書き込みが自由に行え、かつバックアップ機能を持った不揮発性の第2のメモリ領域である。20はメモリ領域10に付随する不揮発性の書込開始フラグであり、21はメモリ領域11に付随する不揮発性の書込開始フラグである。30はメモリ領域10に付随する不揮発性の書込完了フラグであり、31はメモリ領域11に付隨する不揮発性の書込完了フラグである。4はCPUであり、メモリ領域10, 11を交互にアクセスするメモリアクセス手段4aを具備している。5はメモリ領域10, 11にアクセス可能な外部アクセス部である。なお、メモリ領域10, 11、書込開始フラグ20, 21及び書込完了フラグ30, 31はメモリ装置1に備えられる。

【0014】図2はこの実施の形態1における書き込み

動作の各段階の処理を示すフローチャートである。また、図3はこの実施の形態1における読み込み動作の各段階の処理を示すフローチャートである。

【0015】次に、この実施の形態1の動作について説明する。まず、図1と図2を参照して書き込み動作について説明する。このようなメモリ装置1内のメモリ領域10, 11、書込開始フラグ20, 21及び書込完了フラグ30, 31への設定がなされていない時（ステップS1）、CPU4はメモリ領域10, 11、書込開始フラグ20, 21及び書込完了フラグ30, 31を初期化する（ステップS2）。このとき、例えば書込開始フラグ20と書込完了フラグ30とに10進数で0を、書込開始フラグ21と書込完了フラグ31とに10進数で1を書き込む。次に、書込開始フラグ20と書込完了フラグ30とを比較し（ステップS3）、一致した場合は現在の書込開始フラグ20の値に例えば10進数で「2」を足し（ステップS5）、メモリ領域10に新規情報D0を書き込み（ステップS6）、書き込み完了後に現在の書込完了フラグ30の値に同様にして10進数で「2」を足し（ステップS7）、書込開始フラグ20と同じ値にする。不一致の場合は書込開始フラグ21と書込完了フラグ31とを比較し（ステップS4）、一致した場合は現在の書込開始フラグ21の値に例えば10進数で「2」を足し（ステップS8）、メモリ領域11に新規情報D0を書き込み（ステップS9）、書き込み完了後に現在の書込完了フラグ31の値に同様にして10進数で「2」を足し（ステップS10）、書込開始フラグ21と同じ値にする。ステップS3及びステップS4において不一致の場合は異常処理（ステップS11）として、例えば再度、メモリ領域10, 11、書込完了フラグ20, 21及び書込完了フラグ30, 31を初期化する。

【0016】次に、新規情報D1の書き込みが必要となった場合、書き込みメモリ領域を切り替え、新規情報D0を書き込んだメモリ領域とは異なるメモリ領域に新規情報D1を書き込む。このとき、例えばメモリ領域10に書き込むならば、上記と同様の方法で、書込開始フラグと書込完了フラグの値を更新する。以下この動作を繰り返す。

【0017】次に図3を参照して読み込み動作について説明する。読み込み処理は、書込完了フラグが大きい値の方のメモリ領域をマスターとし、そのメモリ領域の読み込みを行う。ただし、読み込みを行うメモリ領域に付隨する書込開始フラグと書込完了フラグは同じ値であることが条件である。

【0018】基本的には書込完了フラグが大きい値の方のメモリ領域をマスターとするが、同じメモリ領域に付隨する書込開始フラグと書込完了フラグの値が異なる場合、書き込み中に電源遮断等が発生し書き込みが正常に行われなかつたとし、書込完了フラグが小さい値の方の

メモリ領域をマスタとする（ステップS31）。したがって、書き込み及び読み込みは、書込完了フラグが小さい値の方のメモリ領域に対して上記方法でアクセスする（ステップS32又はステップS33）。

【0019】なお、当該各書込開始フラグと書込完了フラグのビット数を多くすることによって、遮断等で書き込みが最後まで行われないにも関わらず書込完了フラグが書込開始フラグと同じ値に誤って書き替わってしまうことを防止することが可能となる。

【0020】この実施の形態1によれば、突然の予期せぬ遮断が発生しても情報は完全な形で保証され、同時に必要に応じて、中断された処理を再度行うことを可能となる。また、メモリ領域への書き込みが正常に完了したことの確認を書込開始フラグと書込完了フラグのみを比較することで行うことにより、比較検証処理を簡易化しているため、例えば人が介在してデータの正誤性を確認してメモリ領域の情報を修復する場合は、不必要的処理の処理時間及び処理に対するCPU等の負荷を低減させることが可能となり、メモリ内情報更新方法における信頼性及び効率性の向上といった効果が得られる。

【0021】実施の形態2. 前記実施の形態1では、1つの書込完了フラグは1つのメモリ領域全体に対して1つ割り振られていたが、この実施の形態2では、図4に示すように、メモリ領域10, 11をそれぞれ複数の情報単位に分割し、情報単位毎に不揮発性の書き込み完了を示す書込完了フラグ300, 301, 302, 310, 311, 312を備え、CPU4にメモリ領域内のどの情報単位まで書き込みが正常に行われたかを認識する書込認識手段4cを具備する。さらに、CPU4に、一方のメモリ領域への書き込みの最中に電源遮断等が発生し書き込み処理が中断した場合、電源が発生した側のメモリ領域において電源遮断が発生するまでに書き込んだ情報をAとし、それ以外の情報をBとすると、当該情報Aに、もう一方のメモリ領域内の当該情報Bに相当する情報B'を付加するメモリ領域合成手段4bを具備する。

【0022】図5はこの実施の形態2における書き込み動作の各段階の処理を示すフローチャートである。また、図6はこの実施の形態2における読み込み動作の各段階の処理を示すフローチャートである。

【0023】次に図4および図5を参照してこの実施の形態2の書き込み動作について説明する。まず、メモリ領域10, 11及び書込完了フラグ300~302, 310~312を初期化する（ステップS51）。次にメモリ領域10内の最前の情報単位に対応する書込完了フラグ300と最後の情報単位に対応する書込完了フラグ302との値を比較し、一致した場合はメモリ領域10に新規情報を書き込むと共に、書込完了フラグ300~302に書き込み完了を示す値を書き込む（ステップS54）。一致しない場合はメモリ領域11内の最前の情

報単位に対応する書込完了フラグ310と最後の情報単位に対応する書込完了フラグ312との値を比較し、一致した場合はメモリ領域11に新規情報を書き込むと共に、書込完了フラグ312に書き込み完了を示す値を書き込む（ステップS55）。ステップS54又はステップS55の処理の後、更新メモリ領域を他方のメモリ領域に切り替える（ステップS56）。ステップS52及びステップS53において不一致の場合は異常処理（ステップS57）として、例えば、再度、メモリ領域10, 11及び書込完了フラグ300~302, 310~312を初期化する。

【0024】次に図4及び図6を参照してこの実施の形態2の読み込み動作について説明する。メモリ領域10の書き込み状態を書込完了フラグ300~302によりチェックし（ステップS61）、正常に書き込み完了したならばメモリ領域10から情報を読み込む（ステップS62）。また、メモリ領域11の書き込み状態を書込完了フラグ310~312によりチェックし（ステップS61）、正常に書き込み完了したならばメモリ領域11から情報を読み込む（ステップS63）。メモリ領域10の書き込み時に電源遮断等があると、メモリ領域10の情報未更新分にメモリ領域11の当該情報分を付加する（ステップS64）。また、メモリ領域11の書き込み時に電源遮断等があると、メモリ領域11の情報未更新分にメモリ領域10の当該情報分を付加する（ステップS65）。

【0025】例えば、メモリ領域に情報を書き込むと、その情報単位毎に付随する書込完了フラグに書き込みが完了したことを示す値を入れるメモリ装置において、メモリ領域10とメモリ領域11の容量をそれぞれ100バイトとし、各情報単位の容量を10バイトとすると、メモリ領域10に60バイトを書き込んだところで電源遮断等によって書き込みが中断された場合、正常に書き込まれたメモリ領域10の60バイトの情報Aの後にメモリ領域11の61バイト目から100バイトまでの情報B'を付加する。

【0026】この実施の形態2によれば、連続して送られ、かつ直前に送られた情報との変化量が小さいような情報、例えば静止画像情報においては、書き込みができなかった画像部位にもう一方のメモリ領域内の当該画像部位を合成することによって、情報の修復を効率良く行うことが可能になり、メモリ内情報更新方法における信頼性の向上といった効果が得られる。

【0027】実施の形態3. 前記実施の形態2では、書込完了フラグは情報単位毎に割り振られていたが、この実施の形態3では図7に示すように、書込完了フラグ群を例えれば情報単位の書き込みが完了する度にインクリメントしていく不揮発性の更新カウンタ32, 33で実現し、メモリ領域内のどの情報単位まで書き込みが正常に行われたかを認識させる。図8はこの実施の形態3にお

ける書き込み動作の各段階の処理を示すフローチャートである。また、図9はこの実施の形態3における読み込み動作の各段階の処理を示すフローチャートである。

【0028】次に図7及び図8を参照して、この実施の形態3における書き込み動作を説明する。まず、メモリ領域10, 11及び更新カウンタ32, 33を初期化する(ステップS81)。次にメモリ領域10, 11に情報を書き込んでいき、更新カウンタ32の値がメモリ領域10の情報単位数に等しくなったか否かを判定し(ステップS82)、等しくない場合は更新カウンタ33の値がメモリ領域11の情報単位数に等しくなったか否かを判定する(ステップS83)。次に前回の更新メモリ領域がメモリ領域11であると判定すると(ステップS84)、メモリ領域10に新規情報を書き込むと共に更新カウンタ32をインクリメントする(ステップS85)。一方、前回の更新メモリ領域がメモリ領域11でないと判定すると(ステップS84)、メモリ領域11に新規情報を書き込むと共に更新カウンタ33をインクリメントする(ステップS86)。ステップS85又はステップS86の後は、更新メモリ領域を他方のメモリ領域に切り替える(ステップS87)。ステップS82及びステップS83において不一致の場合は異常処理(ステップS88)として、例えば、再度、メモリ領域10, 11及び更新カウンタ32, 33を初期化する。

【0029】次に図7及び図9を参照して、この実施の形態3における読み込み動作を説明する。メモリ領域10の書き込み状態を更新カウンタ32によりチェックし(ステップS91)、正常に書き込み完了したならばメモリ領域10から情報を読み込む(ステップS92)。また、メモリ領域11の書き込み状態を更新カウンタ33によりチェックし(ステップS91)、正常に書き込み完了したならばメモリ領域11から情報を読み込む(ステップS93)。メモリ領域10の書き込み時に電源遮断等があると、メモリ領域10の情報未更新分にメモリ領域11の当該情報分を付加する(ステップS94)。また、メモリ領域11の書き込み時に電源遮断等があると、メモリ領域11の情報未更新分にメモリ領域10の当該情報分を付加する(ステップS95)。

【0030】この実施の形態3によれば、更新カウンタを設けたことにより、書き込み完了を示すために使用するメモリ領域を減らすことが可能になり、メモリ内情報更新方法において更新のために必要となるメモリ容量を低減させるといった効果が得られる。

【0031】実施の形態4. 前記実施の形態2では、メモリ領域への書き込みが例えればアドレス値の小さいものから大きいものにかけてシーケンシャルに行われていたが、この実施の形態4では、図10に示すように、CPU4内に、メモリ領域10等への書き込みが例えれば、0, 100, 50, 5, 95, 55, ...のようなランダム的なアドレス順にしたがって行うランダムアクセス手段4dを具備する。なお、読み込み処理について

は、実施の形態2と同様にして、例えればアドレス値の小さいものから大きいものにかけて(アドレス値0~100にかけて)シーケンシャルに行う。

【0032】この実施の形態4によれば、遮断等によって書き込みが中断した場合、それまでにそのメモリ領域にどれくらいの情報が書き込まれていたかという程度によるが、そのメモリ領域を読み込み再生したとき、所々不正な情報が割り込んでいるが全体的な大まかな情報を得ることができる。これは、例え多少の情報化けがあっても人が主観的に認識できる画像情報のような情報に適用でき、万が一書き込みが中断した場合には、少なくとも全面的なイメージを再生することができる。これは、メモリ内情報更新方法による情報の修復性の向上といった効果が得られる。

【0033】

【発明の効果】以上のように第1の発明によれば、メモリ領域への書き込みが正常に完了したことの確認を書込開始フラグと書込完了フラグのみを比較することで行うので、比較検証処理を簡易化でき、これにより例え人が介在して情報の正誤性を確認してメモリ領域の情報を修復する場合は、不必要的処理の処理時間及び処理に対するCPU等の負荷を低減させることができとなり、したがって、信頼性及び効率性が向上するという効果が得られる。また、両メモリ領域の一方の書き込み状態が異常な場合は他方の正常なメモリ領域をマスターのメモリ領域としてアクセスするようにしたので、突然の予期せぬ電源遮断等が発生しても情報は完全な形で保証され、同時に必要に応じて、中断された処理を再度行うことができるという効果が得られる。

【0034】第2の発明によれば、第1, 第2のメモリ領域を複数の情報単位毎に分割し、情報単位毎に書込完了フラグを設け、一方のメモリ領域への書き込み処理が中断した場合、当該書込完了フラグ群により書き込み完了の情報を判定し、それ以外の未書き込みの情報に対応する書込完了フラグが示す他方のメモリ領域の情報を相当する情報を一方のメモリ領域の未書き込み領域に付加するようにしたので、連続して送られ、かつ直前に送られた情報との変化量が小さいような情報、例えれば静止画像情報においては、書き込みができなかった画像部位に他方のメモリ領域内の当該画像部位を合成でき、これにより情報の修復を効率良く行うことが可能となり、したがって信頼性及び効率性が向上するという効果が得られる。

【0035】第3の発明によれば、書込完了フラグ群を更新カウンタで実現したので、書き込み完了を示すために使用するメモリ領域を減らすことが可能になり、これにより更新のために必要となるメモリ容量を低減させることができるという効果が得られる。

【0036】第4の発明によれば、メモリ領域への書き

込みをランダム的なアドレス順に従って行うので、電源遮断等によって書き込みが中断しても、全体的な大まかな情報を得ることができ、情報の修復性が向上するという効果が得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に係るメモリ内情報更新方法を行うための装置構成を示したブロック図である。

【図2】 この発明の実施の形態1における書き込み動作の各段階の処理を示したフローチャートである。

【図3】 この発明の実施の形態1における読み込み動作の各段階の処理を示したフローチャートである。

【図4】 この発明の実施の形態2に係るメモリ内情報更新方法を行うための装置構成を示したブロック図である。

【図5】 この発明の実施の形態2における書き込み動作の各段階の処理を示したフローチャートである。

【図6】 この発明の実施の形態2における読み込み動作の各段階の処理を示したフローチャートである。

【図7】 この発明の実施の形態3に係るメモリ内情報更新方法を行うための装置構成を示したブロック図である。

【図8】 この発明の実施の形態3における書き込み動作の各段階の処理を示したフローチャートである。

【図9】 この発明の実施の形態3における読み込み動作の各段階の処理を示したフローチャートである。

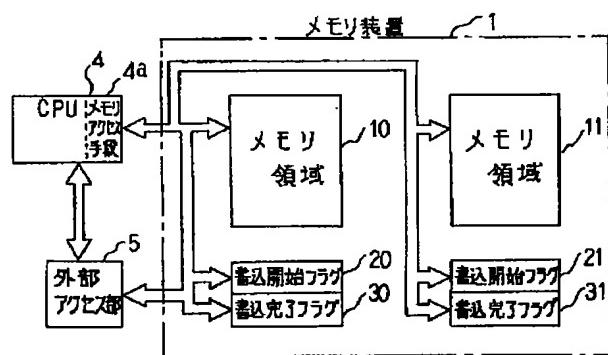
【図10】 この発明の実施の形態4に係るメモリ内情報更新方法を行うための装置構成を示したブロック図である。

【図11】 従来のメモリ内情報更新方法の各段階の処理を示したフローチャートである。

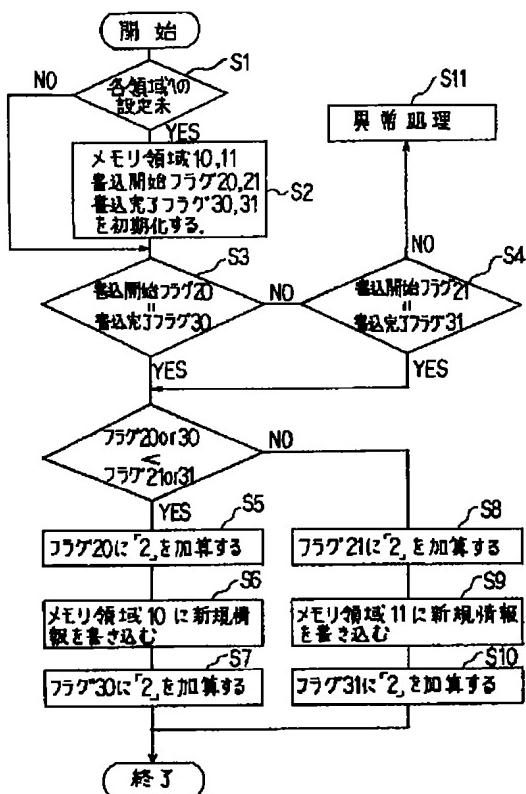
【符号の説明】

1 メモリ装置、4 CPU、4a メモリアクセス手段、4b メモリ領域合成手段、4c 書込認識手段、4d ランダムアクセス手段、5 外部アクセス部、10, 11 メモリ領域、20, 21 書込開始フラグ、30, 31, 300~302, 310~312 書込完了フラグ、32, 33 更新カウンタ。

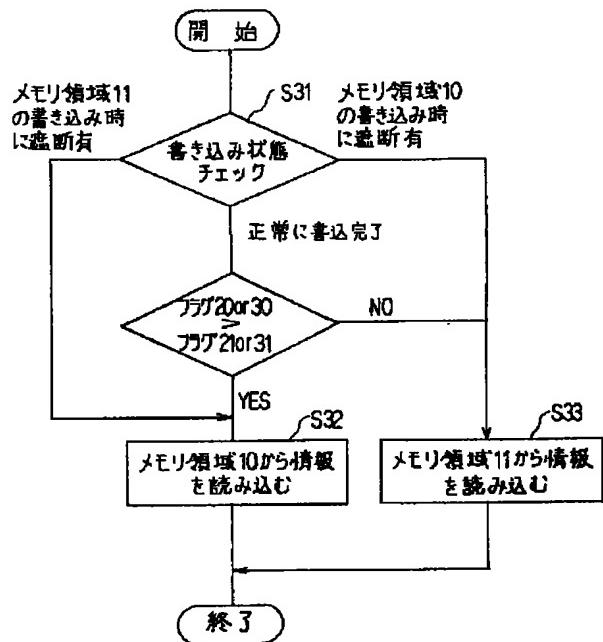
【図1】



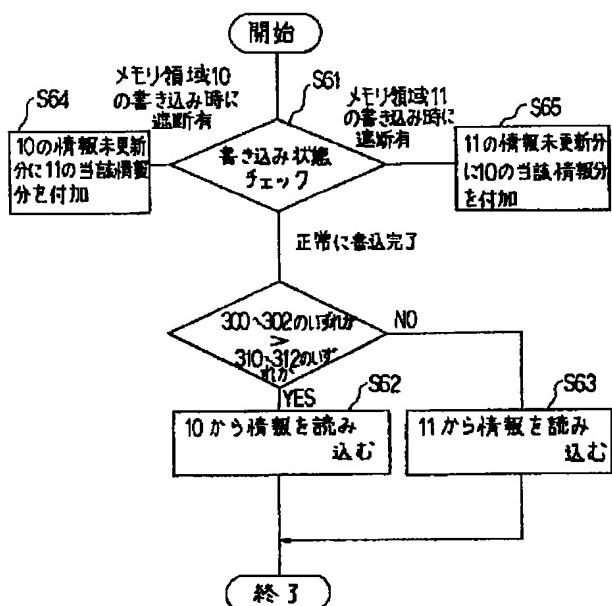
【図2】



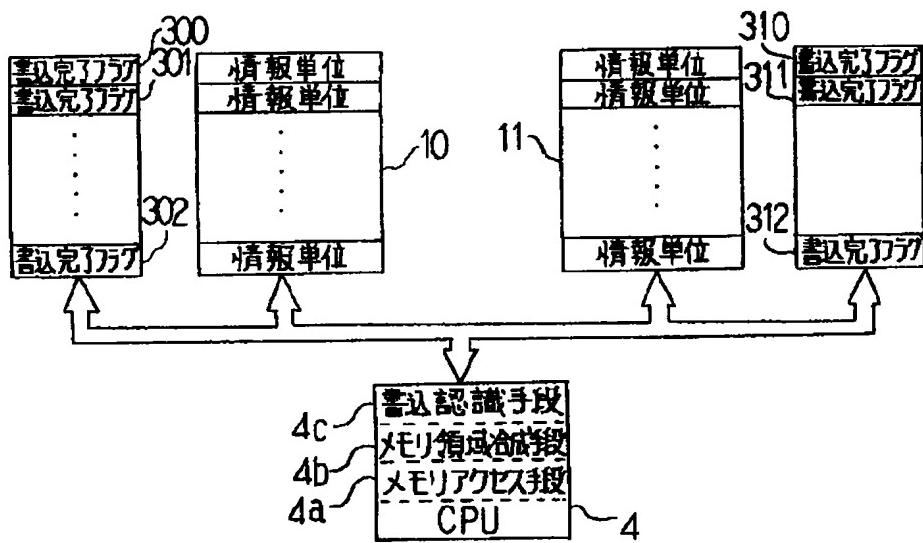
【図3】



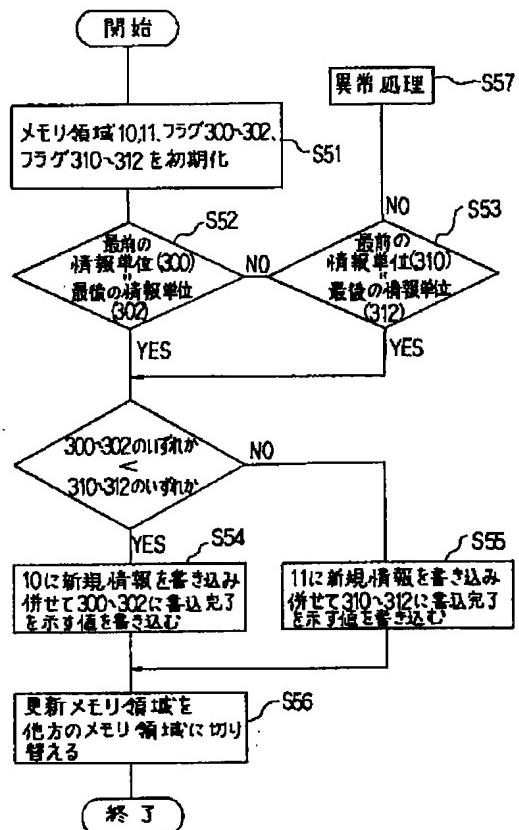
【図6】



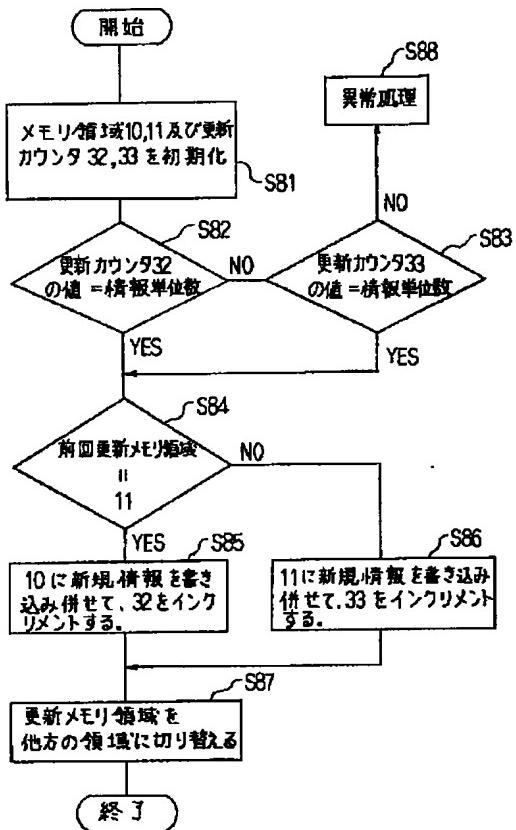
【図4】



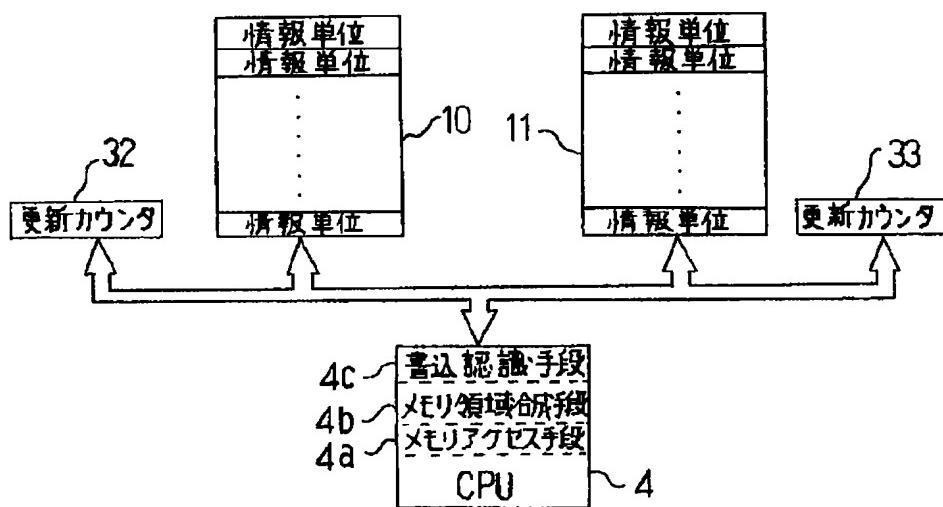
【図5】



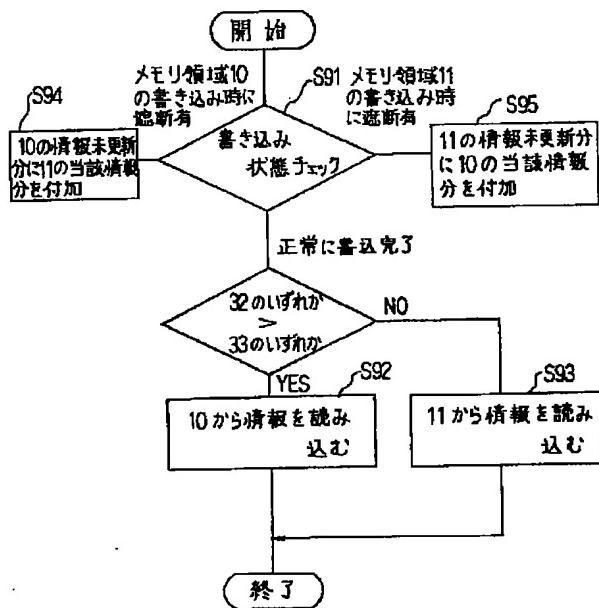
【図8】



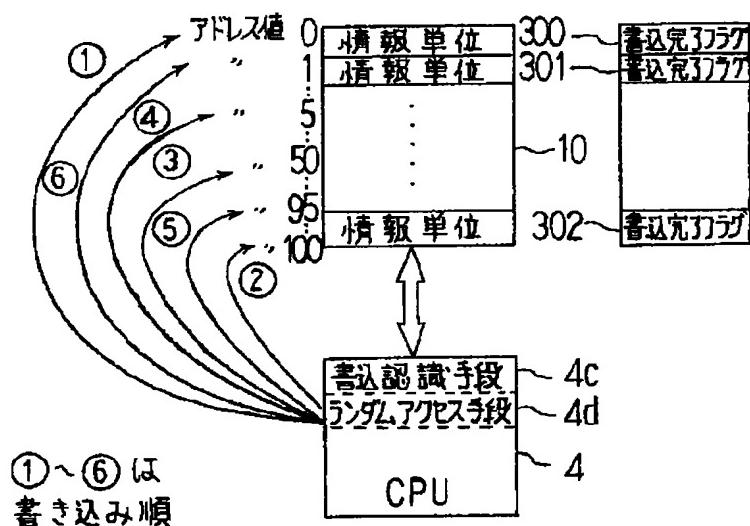
(図7)



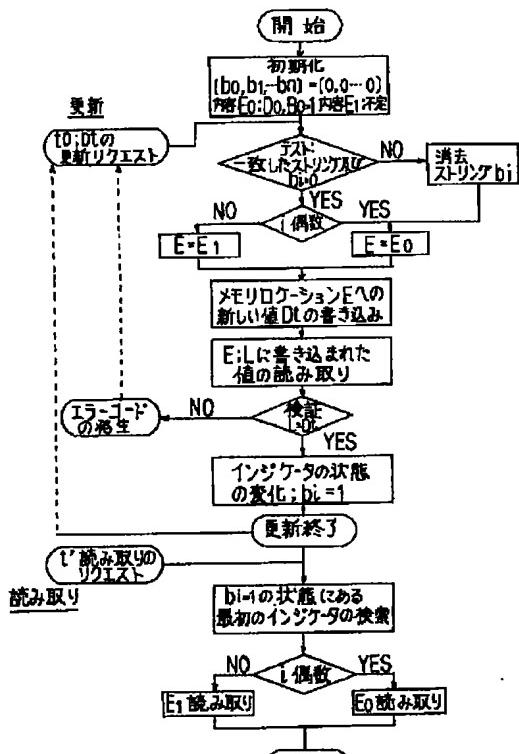
【図9】



【図10】



【図11】



## 【手続補正書】

【提出日】平成9年3月18日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

## 【補正内容】

【0020】この実施の形態1によれば、突然の予期せ

ぬ遮断が発生しても情報は完全な形で保証され、同時に必要に応じて、中断された処理を再度行うことが可能となる。また、メモリ領域への書き込みが正常に完了したことの確認を書込開始フラグと書込完了フラグのみを比較することで行うことにより、比較検証処理を簡易化しているため、例えば人が介在してデータの正誤性を確認してメモリ領域の情報を修復する場合は、不必要的処理

の処理時間及び処理に対するCPU等の負荷を低減させることが可能となり、メモリ内情報更新方法における信頼性及び効率性の向上といった効果が得られる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】実施の形態2．前記実施の形態1では、1つの書き込み完了フラグは1つのメモリ領域全体に対して1つ割り振られていたが、この実施の形態2では、図4に示すように、メモリ領域10, 11をそれぞれ複数の情報単位に分割し、情報単位毎に不揮発性の書き込み完了を示す書き込み完了フラグ300, 301, 302, 310, 311, 312を備え、CPU4にメモリ領域内のどの情報単位まで書き込みが正常に行われたかを認識する書き込み認識手段4cを具備する。さらに、CPU4に、一方のメモリ領域への書き込みの最中に電源遮断等が発生し書き込み処理が中断した場合、電源遮断が発生した側のメモリ領域において電源遮断が発生するまでに書き

込んだ情報をAとし、それ以外の情報をBとすると、当該情報Aに、もう一方のメモリ領域内の当該情報Bに相当する情報B'を付加するメモリ領域合成手段4bを具備する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】実施の形態4．前記実施の形態2では、メモリ領域への書き込みが例えばアドレス値の小さいものから大きいものにかけてシーケンシャルに行われていたが、この実施の形態4では、図10に示すように、CPU4内に、メモリ領域10等への書き込みが例えば、0, 100, 50, 5, 95, 55, …のようなランダム的なアドレス順にしたがって行うランダムアクセス手段4dを具備する。なお、読み込み処理については、実施の形態2と同様にして、例えばアドレス値の小さいものから大きいものにかけて（アドレス値0～100にかけて）シーケンシャルに行う。